

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04504785 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 06-148685 [JP 6148685 A]

PUBLISHED: May 27, 1994 (19940527)

INVENTOR(s): NAKAZONO TAKUSHI

 YOSHIHASHI HIDEO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-303555 [JP 92303555]

FILED: November 13, 1992 (19921113)

INTL CLASS: [5] G02F-001/136; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS --
Ion Implantation)

JOURNAL: Section: P, Section No. 1791, Vol. 18, No. 454, Pg. 123,
August 24, 1994 (19940824)

ABSTRACT

PURPOSE: To form an LDD structure without executing two times of ion implantation and to lower the current value of drain leakage.

CONSTITUTION: This liquid crystal display device has at least a thin-film transistor(TFT) array substrate having an insulating substrate 1, a picture element part which includes the polycrystalline silicon TFTs for switching formed on this substrate 1 and a driving circuit part which is formed adjacently to this picture element part and includes the polycrystalline silicon TFTs for driving the picture element part. Each of the polycrystalline silicon TFTs of the above-mentioned device has a gate electrode consisting of a two layered structure consisting of an upper layer 5 and a lower layer 4, and the area of the gate electrode of the lower layer 4 is wider than the area of the gate electrode of the upper layer 5. In addition, the charge concentration of the polycrystalline silicon layer in the region right under the gate electrode consisting of only the lower layer 4 of the lower layer part wider than the area of the gate electrode of the upper layer 5 is the intermediate concentration of the channel region and the source and drain region.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-148685

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl.⁵G 0 2 F 1/136
H 0 1 L 29/784

識別記号

5 0 0

庁内整理番号

9018-2K

F I

技術表示箇所

9056-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 S

3 1 1 G

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号

特願平4-303555

(22)出願日

平成4年(1992)11月13日

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者

中国 卓志

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者

吉橋 英生

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人

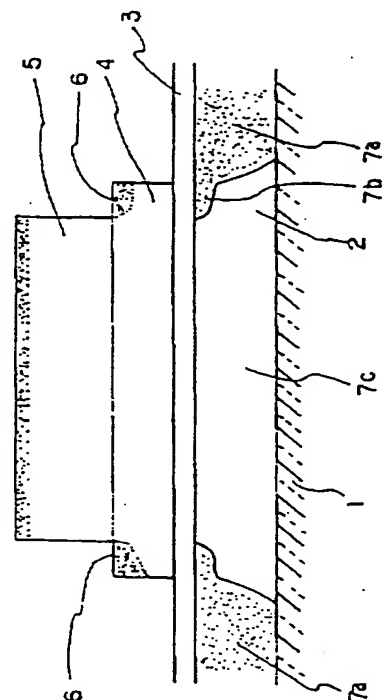
弁理士 須山 佐一

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 2度のイオン打ち込みを行わずにLDD構造を形成することができ、またドレインリーク電流値を下げるができる。

【構成】 絶縁基板と、該基板上に形成されたスイッチング用の多結晶シリコン薄膜トランジスターを含む画素部と、この画素部に隣接して形成され、画素部を駆動する多結晶シリコン薄膜トランジスターを含む駆動回路部とを有する薄膜トランジスターアレイ基板を少なくとも有する液晶表示装置において、多結晶シリコン薄膜トランジスターが、上層および下層の2層構造からなるゲート電極を有し、下層のゲート電極の面積が前記上層のゲート電極の面積より広く、かつ上層のゲート電極の面積より広い下層部分の下層のみよりなるゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャンネル領域と、ソース、ドレイン領域の中間濃度である。



【特許請求の範囲】

【請求項1】 絶縁基板と、該基板上に形成されたスイッチング用の多結晶シリコン薄膜トランジスターを含む画素部と、前記画素部に隣接して形成され、

前記画素部を駆動する多結晶シリコン薄膜トランジスターを含む駆動回路部とを有する薄膜トランジスターアレイ基板を少なくとも有する液晶表示装置において、前記多結晶シリコン薄膜トランジスターが、ゲート電極として上層および下層の二層構造からなるゲート電極を有し、前記下層のゲート電極の面積が前記上層のゲート電極の面積より広く、かつ前記上層のゲート電極の面積より広い下層部分の下層のみよりなるゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャンネル領域と、ソース、ドレイン領域の中間濃度であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示装置に関し、特に多結晶シリコン薄膜トランジスターのドレインリーク電流値を下げることができると共に、生産効率を高めることができる液晶表示装置に関する。

【0002】

【従来の技術】 近年、液晶表示装置は、薄型軽量、低消費電力という大きな利点をもつため、液晶テレビ、日本語ワードプロセッサやデスクトップパーソナルコンピュータ等のOA機器の表示装置に積極的に用いられている。それと共に、多結晶シリコンを活性層に使用した薄膜トランジスタもしくは薄膜トランジスターアレイを応用した液晶表示装置の開発が表示特性の向上を目的に活発になされている。

【0003】 従来、多結晶シリコンを活性層に使用した薄膜トランジスターは液晶表示装置の表示部である画素部のスイッチング素子や薄膜トランジスターを集積し画素部スイッチング素子の駆動回路へ応用されている。すなわち、画素中で液晶への電圧印加用の画素部薄膜トランジスターと、この画素部薄膜トランジスターを駆動するための駆動回路部薄膜トランジスターへの応用とである。

【0004】 ところで、現在の液晶表示装置の開発は、画素を微細化することにより画素数を増やし、そして、それらを高速で動作させる方向にある。この開発方向に対応して上述の薄膜トランジスターは、次の特性が要求されている。

- 1) ゲート遅延をなくすために、ゲート配線の抵抗を下げる。
- 2) 薄膜トランジスターのドレインリーク電流を減少させる。

【0005】 1) に関しては、たとえば、金属線やシリサイドを使用する技術が知られている。この技術は、通常、活性層との仕事関数を合わせるために電氣的不純物

を添加した多結晶シリコンを下層として、上層に上述の金属線もしくはシリサイドを形成して低抵抗化する2層構造が検討されている。この構成によりゲート配線による信号の遅延を減少させている。

【0006】 2) に関しては、とくに画素の薄膜トランジスターにたいしてドレインリーク電流の低下が要求されている。これは、ドレインリーク電流がトランジスター動作のOFF側で発生するため、通常のON/OFFのスイッチング機能を充分果たさなくなり、また液晶表示装置に使用すると画素の電気信号を保持できないため、コントラストが劣化し、液晶表示装置の画質にとくに影響がでるためである。このドレインリーク電流が発生する原因は、薄膜トランジスターのゲート、ドレイン間に電場が集中するために、活性層多結晶シリコン中のシリコン結合の欠陥のうち、とくに未結合手による欠陥があると、ドレイン接合部で異常なリーク電流が発生することにある。ドレイン接合部で異常なリーク電流が発生するのは、つぎの理由による。通常、ソース、ドレインはゲートをマスクとしてイオン打ち込み装置で接合層に必要なイオンを打ち込み自己整合的に形成する。そのために、電荷分布はゲート端から急激に立ち上がる。電場の分布は電荷の分布に比例するため、ドレイン近傍では急激に電場が立ち上がることとなる。この電場によりチャンネルとドレイン接合部でトンネル電流が流れ、異常なリーク電流として観測される。

【0007】 異常なリーク電流の発生を防止する方法として、LDD (Light Doped Drain) という技術が知られている。このLDD技術はドレイン部近傍の電荷分布を徐々に変化させてドレイン接合を構成する技術である。電荷分布が徐々に変化するため、接合部の接合電場も徐々に変化し異常なリーク電流が流れなくなる。このため、このLDD技術を使用して作製された多結晶シリコン薄膜トランジスターを用いた液晶表示装置は液晶テレビ、OA機器等に多用されている。

【0008】

【発明が解決しようとする課題】 しかしながら、このLDD技術は、接合部の電荷分布を徐々に変化させるため、通常はイオン打ち込みの工程をLDD部の低濃度の打ち込みと、ソース、ドレイン部の高濃度の打ち込みと2度に分けて行わなければならないという問題がある。

【0009】 さらに、低濃度側の打ち込みは通常ゲートマスクで行うが、高濃度側はゲート直下よりずらす必要があることより、必ず何かのマスクが必要となる。通常、このマスクは、レジストや酸化膜等を使用するが、製造工程が複雑になることは避けられなく、そのために製造歩留りを落とす等の問題がある。

【0010】 本発明は、このような問題を解決するためになされたもので、LDD構造を2度のイオン打ち込みを行わずに形成することができ、またドレインリーク電流値を下げるができる液晶表示装置を提供すること

を目的とする。

【0011】

【課題を解決するための手段】本発明の液晶表示装置は、絶縁基板と、該基板上に形成されたスイッチング用の多結晶シリコン薄膜トランジスターを含む画素部と、この画素部に隣接して形成され、画素部を駆動する多結晶シリコン薄膜トランジスターを含む駆動回路部とを有する薄膜トランジスターアレイ基板を少なくとも有する液晶表示装置において、多結晶シリコン薄膜トランジスターが、ゲート電極として上層および下層の2層構造からなるゲート電極を有し、下層のゲート電極の面積が前記上層のゲート電極の面積より広く、かつ上層のゲート電極の面積より広い下層部分の下層のみよりなるゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャネル領域と、ソース、ドレイン領域の中間濃度であることを特徴とする。

【0012】本発明に係わる多結晶シリコン薄膜トランジスターのゲート電極は、上層および下層の2層構造からなるが、上層は下層に比べてその電気抵抗値が低い物質からなることが好ましい。これは、2層構造とした場合、その電気抵抗値は電気抵抗の低い層で決まるため、上層にシリコンの金属化合物のような低抵抗物質からなる層を設けることにより、低抵抗ゲート電極を得ることができるためである。さらに、上層は耐薬品性や耐熱性を保持するための働きもする。

【0013】また、下層の層厚は、ソース、ドレイン形成のためのイオン打ち込みに際して、多結晶シリコン層の電荷濃度が濃度勾配を有しチャネル領域と、ソース、ドレイン領域の中間濃度となるような層厚であればよい。多結晶シリコン層の電荷濃度の濃度勾配を得るための、他の要因は上層の形状の寸法と下層の形状の寸法との差である。本発明にあっては、下層が上層の寸法形状より数 μm 張り出している張り出し部を有することが好ましい。上述のゲート電極構造をマスクとしてイオン打ち込みをすることにより、ドレイン近傍の電荷分布をなだらかな分布とすることができる。

【0014】本発明の液晶表示装置は、次のようにして作られる。絶縁基板材料には無アルカリガラス、石英などが使用できる。この基板上に公知の方法で多結晶シリコン膜を形成する。すなわち、まず基板上に減圧CVD、プラズマCVD装置を用いアモルファスシリコン層を堆積し、ついで約600℃の温度で熱処理を行うことにより多結晶シリコン層とする。その後、フォトリソグラフィ工程およびエッチング工程を経て所定の形状に加工する。多結晶シリコン層表面を熱酸化してゲート酸化膜を形成した後、その上に2重の膜構造よりなるゲート配線を形成する。2重の膜構造の形成は、下層膜のエッチング速度より上層膜のエッチング速度が速いエッチング方法を用いることが好ましい。たとえば、加工ガスとして SF_6 、 Cl_2 等を用いた、RIE (Reactive Ion Etching)

(ve Ion Etching)を使用することが好ましい。その後、このゲート電極をマスクとしてソース、ドレイン領域を自己整合的に形成する。その表面に第1層間絶縁膜を形成し、その膜の一部をコンタクトホールとして開口し、その部分で金属配線が薄膜トランジスターの各端子と接触する。

【0015】液晶表示装置とするために、さらに、第2層間絶縁膜を形成し、コンタクトホールを形成する。そこを介して、透明電極を形成し画素電極とする。この基板を薄膜トランジスターアレイ基板と称する。その後、この薄膜トランジスターアレイ基板を、対向基板と合わせ、そのギャップ部に液晶を注入し、液晶セルを構成する。そして、外装アセンブリを形成して本発明の液晶表示装置を得る。

【0016】

【作用】本発明の液晶表示装置に係わる多結晶シリコン薄膜トランジスターのゲート配線は、低抵抗配線を上部に有する2層構造で、かつゲート配線の端部が階段状になっているため、このゲート配線をマスクとして自己整合的にイオン打ち込みを行うことにより、ドレイン近傍の電荷分布をなだらかにすることができる。ドレイン近傍の電荷分布がなだらかになると、電場の集中が防止できることになる。そのため、ドレインリーク電流が減少する。

【0017】また、ゲート配線の上部の金属配線は低抵抗ゲート配線を可能とする。

【0018】

【実施例】本発明の実施例を図1から図4に基づき説明する。図1は本実施例の液晶表示装置に使用した薄膜トランジスターのゲート部分の断面図である。石英基板1上に多結晶シリコンを1000オングストロームの膜厚に形成して薄膜トランジスターの活性層2とした。この多結晶シリコン活性層2は、原料ガスにジシランガスを使用し、減圧CVD法により非晶質シリコンを形成し、その後熱処理を施し、多結晶シリコンを形成したものである。その後、フォトリソグラフィ工程およびエッチング工程にて所定の形状に加工した。

【0019】つぎに、多結晶シリコン層2の表面を熱酸化して700オングストロームの膜厚のゲート酸化膜3を形成した。ゲート酸化膜3上に2重の膜構造を有するゲート配線を以下の方法で形成した。まず、ゲート酸化膜3と接する下層膜4に電気的不純物としてリン(P)を $1 \times 10^{19} / \text{cm}^3$ 含む多結晶シリコンを1500オングストロームの膜厚に形成し、その上に上層膜5として、タングステンシリサイド(WSi)を2500オングストロームの膜厚に形成した。つぎに、エッチングガスとして SF_6 、 Cl_2 を使用するRIE (Reactive Ion Etching)装置により、上下層のエッチングレートの違いを利用して下層膜4が上層膜5より1~2 μm 大きく張り出すように形成したゲート配線が得

られた。このゲート配線の下層のシート抵抗は $30\Omega/\square$ 程度であるが、上層はシリコンの金属化合物であるためシート抵抗は $5\Omega/\square$ 程度である。したがって、2重構造配線の抵抗は低い抵抗で決まるため、本実施例のゲート配線は低抵抗ゲート電極となる。

【0020】このゲート配線をマスクにして、ソース、ドレイン形成のためのイオン打ち込みを行う。図1に示す7aの部分の電荷濃度は、初期的に決めた打ち込み量である $(5\sim 100)\times 10^{19}/\text{cm}^3$ となるようにイオン打ち込み装置でリン(P)を打ち込んだ。そして、張り出し部分6の真下である7bの部分の電荷濃度は、 $1\times 10^{17}/\text{cm}^3$ 程度となるようにイオン打ち込み装置の加速エネルギーを調整した。その結果、図1に示すように、ゲートのない部分7aでは、従来通りの濃度のイオンの打ち込みが行われソース、ドレインが形成され、ゲートが2重になっている部分7cでは、イオンは打ち込まれないで、張り出し部分6の真下である7bの部分ではその中間濃度のイオンが打ち込まれて電気的不純物の分布を有する薄膜トランジスタが得られた。

【0021】本実施例の薄膜トランジスタにおいては、ゲート電極が2重構造になっている部分は、完全にマスクされているため電気的不純物は打ち込まれない。このため、薄膜トランジスタのソース、ドレインの近傍の電荷分布は、ほぼ0から急激に立ち上がることなく、いったん中間状態を経ることになる。

【0022】その後、図2に示すように、第1層間絶縁膜8を形成し、その膜の一部をコンタクトホールとして開口し、その部分で金属配線9(アルミニウム(A1))と、薄膜トランジスタの各端子とを接触させる。さらに、第2層間絶縁膜10を形成し、コンタクトホールを形成する。そこを介して、透明電極11を形成し画素の電極とする。この基板を薄膜トランジスタアレイ基板12と称する。この基板12を対向基板13とを合わせ、そのギャップ部に液晶14を注入し、液晶セルを構成する。そして、外装アセンブリ15を形成して図3に示す液晶表示装置とする。

【0023】このようにして得られた液晶表示装置のn型薄膜トランジスタの特性を図4に示す。図4(a)は本実施例に係わるn型薄膜トランジスタの特性であり、図4(b)はLDD構造になっていない従来例の特性である。これらの特性で特徴的なのは、ゲート電圧が負の領域の特性である。図4(b)の従来例においては、ゲート電圧が負の領域で、ドレイン電流が大きく跳ね上がり、非常に大きな値となっている。一方、図4(a)の本実施例においては、ゲート電圧が変化してもドレイン電流は、ゲート電圧0Vの値とほぼ変わらず変化することはない。

【0024】本実施例の第1の効果は、製造工程を従来の工程より減少できることである。すなわち、エッチン

グレートの違いを応用した一度のエッチングで、ゲート電極の端部に階段状の張り出し部を形成することができ、このゲート電極をマスクにした一度のイオン打ち込みにより、LDD構造とすることができる。従来はLDD構造を得るために2度のイオン打ち込みを行っていた。

【0025】本実施例の第2の効果は、1度のイオン打ち込みにより作製したLDD構造においても、液晶表示装置に必要な薄膜トランジスタの優れた特性が得られることである。すなわち、ドレインリーク電流がゲート電圧0Vの値とほぼ変わらず小さくすることができる。

【0026】本実施例の第3の効果は、ゲート配線を低抵抗線と2重にすることによって、ゲート遅延のないことである。

【0027】以上の効果により、大型基板で、100万個クラスの多数の画素を高速で動作しても薄膜トランジスタのリーク電流が小さいため液晶表示装置の画質に影響をあたえることはない。

【0028】

【発明の効果】本発明の薄膜トランジスタアレイ基板を少なくとも有する液晶表示装置は、多結晶シリコン薄膜トランジスタが2層構造からなるゲート電極を有し、ゲート電極の直下領域における多結晶シリコン層の電荷濃度が、チャネル領域と、ソース、ドレイン領域の中間濃度であるため、低抵抗ゲート電極をもち、低ドレインリーク電流である薄膜トランジスタアレイ基板を有する液晶表示装置を単純な製造工程で得ることができる。このため、液晶表示装置の生産効率を高めることができる。また、画素数を増やし、それらを高速で動作させることのできるため、高画質の液晶表示装置が得られる。

【図面の簡単な説明】

【図1】本実施例の液晶表示装置に使用した薄膜トランジスタのゲート部分の断面図である。

【図2】本実施例の液晶表示装置に使用した薄膜トランジスタの断面図である。

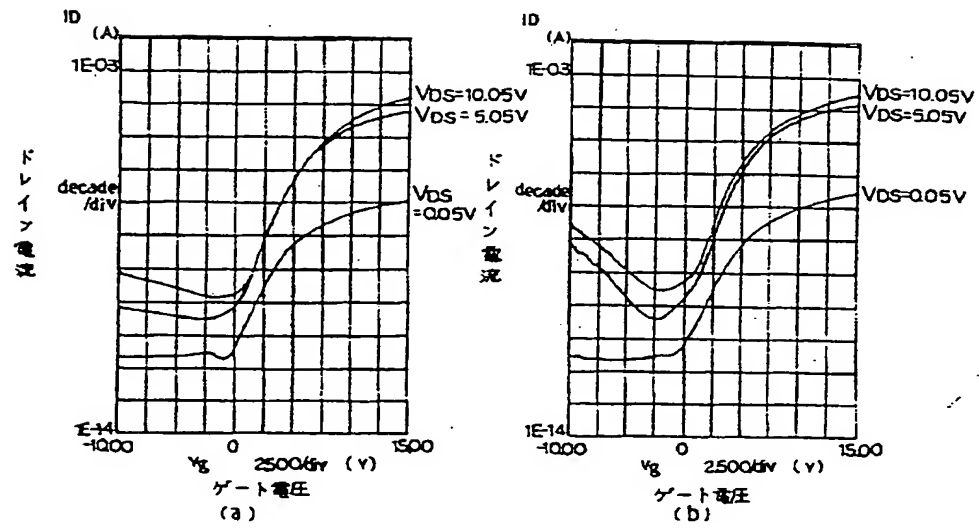
【図3】本実施例の液晶表示装置を示す図である。

【図4】本実施例の液晶表示装置に使用した薄膜トランジスタの特性を示す図である。

【符号の説明】

1………石英基板、2………活性層、3………ゲート酸化膜、4………下層膜、5………上層膜、6………張り出し部分、7a………ゲートのない部分、7b………張り出し部分の真下の部分、7c………ゲートが2重になっている部分、8………第1層間絶縁膜、9………金属配線、10………第2層間絶縁膜、11………透明電極、12………薄膜トランジスタアレイ基板、13………対向基板、14………液晶、15………外装アセンブリ。

【図4】



Japanese Laid-open Patent

Laid-open Number: Hei 6-148685
Laid-open Date: May 27, 1994
Application Number: Hei 4-303555
Filing Date: November 13, 1992
Applicant: TOSHIBA CORPORATION

[Title of the Invention] LIQUID CRYSTAL DISPLAY DEVICE

[Abstract]

[Purpose] It is possible to form an LDD structure without executing two times of ion implantation and to lower a drain leakage current value.

[Construction] In a liquid crystal display device including at least a thin film transistor (TFT) array substrate having: an insulating substrate; a pixel portion which includes polycrystalline silicon TFTs for switching formed on the substrate; and a driving circuit portion which is formed adjacently to the pixel portion and includes polycrystalline silicon TFTs for driving the pixel portion, the polycrystalline silicon TFTs each have a gate electrode consisting of a two layer structure of an upper layer and a lower layer, an area of the gate electrode of the lower layer is wider than an area of the gate electrode of the upper layer, and a charge concentration of a polycrystalline silicon layer in a region just under the gate electrode consisting of only the lower layer of the lower layer portion wider than the area of the gate electrode of the upper layer is an intermediate concentration of a channel region and a source

or drain region.

[Scope of Claim]

[Claim 1] A liquid crystal display device comprising at least a thin film transistor (TFT) array substrate having: an insulating substrate; a pixel portion which includes polycrystalline silicon TFTs for switching formed on the substrate; and a driving circuit portion which is formed adjacently to the pixel portion and includes polycrystalline silicon TFTs for driving the pixel portion,

characterized in that the polycrystalline silicon TFTs each have a gate electrode consisting of a two layer structure of an upper layer and a lower layer, an area of the gate electrode of the lower layer is wider than the area of the gate electrode of the upper layer, and a charge concentration of a polycrystalline silicon layer in a region just under the gate electrode consisting of only the lower layer of the lower layer portion wider than an area of the gate electrode of the upper layer is an intermediate concentration of a channel region and a source or drain region.

[Detailed Description of the Invention]

[0001]

[Field of the Industrial Application] The present invention relates to a display device, and more particularly to a liquid crystal display device capable of lowering a drain leakage current value of a polycrystalline silicon thin film transistor (TFT) and enhancing production efficiency.

[0002]

[Prior Art] In recent years, since a liquid crystal display device has a large advantage of being thin and light-weight and consuming less power consumption, it is progressively used for a display device of OA equipment such as a liquid crystal television, a Japanese word processor and a desktop personal computer. At the same time, development of the liquid crystal display device applying a TFT or a TFT array which uses polycrystalline silicon in an active layer is actively made for the purpose of improving display characteristics.

[0003] Up to now, the TFT which uses polycrystalline silicon in the active layer integrates a switching element and a TFT of a pixel portion as a display portion of the liquid crystal display device and is applied to a driving circuit of the switching element of the pixel portion. That is, it is applied to a TFT of a pixel portion for applying voltage to liquid crystal in a pixel and a TFT of a driving circuit portion for driving the TFT of the pixel portion.

[0004] Development of the present liquid crystal display device is in the direction in which the number of pixels is increased by making the pixel minute and the pixels are operated at high speed. In correspondence with the direction of development, the above-mentioned TFT is required to have the following characteristics.

1) lowering resistance of a gate wiring for eliminating a gate delay.

2) reducing a drain leakage current of the TFT.

[0005] As to 1), a technique is known in which a metal line or silicide is used, for example. In this technique, generally, in order to match a work function with the active layer, a two layer structure is studied in which polycrystalline silicon added with electrical impurity is used as the lower layer and the above-mentioned metal line or silicide is formed as the upper layer to thereby provide low resistance. With this structure, a signal delay due to the gate wiring is reduced.

[0006] As to 2), lowering of the drain leakage current is required for the TFT of the pixel in particular. This is because the drain leakage current is caused on the OFF side of the transistor operation and thus the normal switching function of ON/OFF is not sufficiently provided, and when the above TFT is used in the liquid crystal display device, an electric signal of the pixel cannot be held and thus the contrast is degraded to particularly affect the image quality of the liquid crystal display device. The cause of this drain leakage current is that since electric fields concentrate between the gate and the drain of the TFT, when there is a defect due to a dangling bond in particular, among defects of a silicon bond in the active layer polycrystalline silicon, an abnormal leakage current is caused in a drain joint portion. The reason that the abnormal leakage current is caused in the drain joint portion is as follows. Generally, the source or drain implants ion necessary for the joint layer with

the gate as a mask by an ion implantation apparatus and forms the structure in a self-aligning manner. Therefore, a charge distribution abruptly rises from the gate end. Since a distribution of the electric field is proportional to the charge distribution, the electric field abruptly rises in the vicinity of the drain. Due to this electric field, a tunnel current flows in the channel and the drain joint portion and is observed as the abnormal leakage current.

[0007] As a method of preventing an occurrence of the abnormal leakage current, a technique called LDD (light doped drain) is known. This LDD technique is one in which drain joint is structured by gradually changing the charge distribution in the vicinity of the drain portion. Since the charge distribution gradually changes, a joint electric field in the joint portion gradually changes and the abnormal leakage current does not flow. Therefore, liquid crystal display devices using the polycrystalline silicon TFT manufactured by employing the LDD technique are widely used for a liquid crystal television, OA equipment and the like.

[0008]

[Problems to be solved by the Invention] However, since this LDD technique gradually changes the charge distribution of the joint portion, there is a problem in that generally, a process of implanting ion must be divided into two processes, that is, implantation of the LDD portion at the low concentration and implantation of the

source or drain portion at the high concentration.

[0009] Further, while implantation on the low concentration side is generally performed with a gate mask, implantation on the high concentration side needs to be performed by shifting from a region just under the gate. Accordingly, some mask is necessarily required. Generally, resist, an oxide film, or the like is used for this mask but the manufacturing process becomes inevitably complicated, resulting in a problem in that the manufacturing yield is degraded.

[0010] The present invention has been made in view of solving the above problems. Therefore, an object of the present invention is to provide a liquid crystal display device capable of forming an LDD structure without executing two times of ion implantation and capable of lowering a drain leakage current.

[0011]

[Means for solving the Problem] According to the present invention, a liquid crystal display device comprising at least a thin film transistor (TFT) array substrate having: an insulating substrate; a pixel portion which includes polycrystalline silicon TFTs for switching formed on the substrate; and a driving circuit portion which is formed adjacently to the pixel portion and includes polycrystalline silicon TFTs for driving the pixel portion, is characterized in that the polycrystalline silicon TFTs each have a gate electrode consisting of a two layer structure of an upper layer and a lower layer, an area of the gate electrode of the lower

layer is wider than an area of the gate electrode of the upper layer, and a charge concentration of a polycrystalline silicon layer in a region just under the gate electrode consisting of only the lower layer of the lower layer portion wider than the area of the gate electrode of the upper layer is an intermediate concentration of a channel region and a source or drain region.

[0012] The gate electrode of the polycrystalline silicon TFT according to the present invention consists of the two layer structure of the upper layer and the lower layer. Preferably, the upper layer is composed of a material whose electric resistance value is lower than that of the lower layer. This is because in the case of the two layer structure, the electric resistance value is determined by a layer whose electric resistance is low, and thus it is possible to obtain the low resistance gate electrode by providing a layer comprised of a low resistance material such as a metal compound of silicon as the upper layer. Moreover, the upper layer also functions to hold chemical resistance or heat resistance.

[0013] Further, the lower layer may have the thickness such that in the case of ion implantation for forming the source or drain, the charge concentration of the polycrystalline silicon layer has a concentration gradient and is the intermediate concentration of the channel region and the source or drain region. The other factor for obtaining the concentration gradient of the charge concentration of the polycrystalline silicon layer is a difference between the

dimension of the upper layer shape and the dimension of the lower layer shape. In the present invention, it is preferable that the lower layer has a projecting portion in which the lower layer is projected by several μm from the dimension of the upper layer shape. It is possible to make the charge distribution in the vicinity of the drain gentle by ion implantation with using the above-mentioned gate electrode structure as a mask.

[0014] The liquid crystal display device of the present invention is manufactured as follows. No alkali glass, quartz, or the like can be used for an insulating substrate material. On this substrate, the polycrystalline silicon film is formed by a known method. Namely, an amorphous silicon layer is deposited first on the substrate using a reduced pressure CVD or plasma CVD apparatus, and subjected to heat treatment at a temperature of about 600°C to provide the polycrystalline silicon layer. Thereafter, through a photolithography process and an etching process, the polycrystalline silicon layer is processed into a desired shape. After the surface of the polycrystalline silicon layer is thermally oxidized to form a gate oxide film, a gate wiring consisting of a double film structure is formed thereon. It is preferable that the double film structure is formed by using an etching method in which the etching speed of the upper layer film is faster than that of the lower layer film. For example, it is preferable to employ RIE (reactive ion etching) using SF_6 , Cl_2 , or the like as a processing gas. Thereafter, the

source or drain region is formed in a self-aligning manner with using this gate electrode as a mask. A first interlayer insulating film is formed on the surface and a part of the film is opened as a contact hole. Then, the metal wiring contacts each terminal of the TFT in the hole.

[0015] In order to complete the liquid crystal display device, a second interlayer insulating film is further formed and a contact hole is formed. A transparent electrode is formed therethrough as a pixel electrode. This substrate is called a TFT array substrate. Thereafter, this TFT array substrate is matched with an opposing substrate and a liquid crystal is injected into the gap portion to thereby compose a liquid crystal cell. Then, an outer assembly is formed to obtain the liquid crystal display device of the present invention.

[0016]

[Operation] The gate wiring of the polycrystalline silicon TFT according to the liquid crystal display device of the present invention is a two layer structure having a low resistance wiring on the upper portion. Since the end portion of the gate wiring is step-like, it is possible to make the charge distribution in the vicinity of the drain gentle by ion implantation in a self-aligning manner with using this gate wiring as a mask. When the charge distribution in the vicinity of the drain is made gentle, it is possible to prevent the electric fields from concentrating. As a

result, the drain leakage current is reduced.

[0017] Moreover, the metal wiring of the upper portion of the gate wiring enables a low resistance gate wiring.

[0018]

[Embodiment] An embodiment of the present invention is described with reference to Figs. 1 to 4. Fig. 1 is a sectional view of a gate portion of a TFT used in a liquid crystal display device of this embodiment. Polycrystalline silicon is formed on a quartz substrate 1 to have a thickness of 1000 angstrom as an active layer 2 of the TFT. As to this polycrystalline silicon active layer 2, disilane gas is used as a material gas, amorphous silicon is formed by reduced pressure CVD, and heat treatment is subjected thereto, to thereby form the polycrystalline silicon. Thereafter, through a photolithography process and an etching process, the polycrystalline silicon is processed into a predetermined shape.

[0019] Next, the surface of the polycrystalline silicon layer 2 is thermally oxidized to form a gate oxide film 3 having a thickness of 700 angstrom. On the gate oxide film 3, a gate wiring having a double film structure is formed by the following method. First, on a lower layer film 4 in contact with the gate oxide film 3, polycrystalline silicon containing $1 \times 10^{19}/\text{cm}^3$ of phosphorus (P) as electrical impurity is formed to have a thickness of 1500 angstrom. Then, as an upper layer film 5, tungsten silicide (WSi) is formed thereon to have a thickness of 2500 angstrom. Next, by an RIE

(reactive ion etching) apparatus using SF_6 or Cl_2 as an etching gas, it is possible to obtain the gate wiring formed such that the lower layer film 4 is largely projected by 1 to 2 μm from the upper layer film 5, by using a difference of etching rate between the upper layer and the lower layer. A sheet resistance of the lower layer of this gate wiring is about 30 Ω/\square and the sheet resistance of the upper layer is about 5 Ω/\square because the upper layer is comprised of a metal compound of silicon. Accordingly, since the resistance of the double structure wiring is determined by the low resistance, the gate wiring of this embodiment becomes a low resistance gate electrode.

[0020] With using this gate wiring as a mask, ion implantation for forming a source or drain is performed. Phosphorous (P) is implanted by an ion implantation apparatus such that a charge concentration of a portion of 7a shown in Fig. 1 is $(5 \text{ to } 100) \times 10^{19}/\text{cm}^3$ as an amount of implantation initially determined. Then, acceleration energy of the ion implantation apparatus is adjusted such that the charge concentration of a portion of 7b just under a projecting portion 6 is about $1 \times 10^{17}/\text{cm}^3$. As a result, as shown in Fig. 1, in the portion 7a where there is no gate, ion implantation of the conventional concentration is executed and the source or drain is formed. In a portion 7c where the gate has a double structure, ion is not implanted, and in the portion of 7b just under the projecting portion 6, ion at the intermediate concentration is implanted. Thus,

the TFT having an electrical impurity distribution can be obtained.

[0021] In the TFT of this embodiment, since a portion where the gate electrode has a double structure is completely masked, the electrical impurity is not implanted. For this reason, the charge distribution in the vicinity of the source or drain of the TFT passes through an intermediate state once without rising abruptly from almost 0.

[0022] Thereafter, as shown in Fig. 2, a first interlayer insulating film 8 is formed and a part of the film is opened as a contact hole. Then, a metal wiring 9 (aluminum (Al)) is made to contact each terminal of the TFT in the hole. Further, a second interlayer insulating film 10 is formed and a contact hole is formed. A transparent electrode 11 is formed therethrough as an electrode of a pixel. This substrate is called a TFT array substrate 12. This substrate 12 is matched with an opposing substrate 13, and a liquid crystal 14 is injected into the gap portion to thereby compose a liquid crystal cell. Then, an outer assembly 15 is formed to complete the liquid crystal display device shown in Fig. 3.

[0023] Characteristics of an n-type TFT of the liquid crystal display device thus obtained are shown in Fig. 4. Fig. 4(a) shows characteristics of the n-type TFT in accordance with this embodiment and Fig. 4(b) shows characteristics of a conventional example which does not have an LDD structure. A characteristic of a region whose gate voltage is negative is particularly characteristic among them.

In the conventional example of Fig. 4(b), in the region whose gate voltage is negative, a drain current greatly leaps up to serve as an extremely large value. On the other hand, in this embodiment of Fig. 4(a), even if the gate voltage changes, the drain current has almost the value 0V of the gate voltage and does not change.

[0024] A first effect of this embodiment is that the number of manufacturing processes can be reduced in comparison with a conventional manufacturing process. That is, by etching adapting the difference in an etching rate once, a step-like projecting portion can be formed in the end portion of the gate electrode. Then, by performing ion implantation using this gate electrode as a mask once, the LDD structure can be provided. Conventionally, ion implantation was performed twice in order to obtain the LDD structure.

[0025] A second effect of this embodiment is that excellent characteristics of the TFT necessary for the liquid crystal display device can be obtained even in the LDD structure manufactured by ion implantation of one time. That is, a drain leakage current has almost the value 0V of the gate voltage but can be made small.

[0026] A third effect of this embodiment is a gate delay is prevented by taking the double structure of the gate wiring and the low resistance wire.

[0027] According to the above effects, since a leakage current of the TFT is small even if a large number of pixels of 1 million class are operated at high speed on a large-sized substrate, an image

quality of the liquid crystal display device is not affected.

[0028]

[Effects of the Invention] In the liquid crystal display device at least comprising the TFT array substrate of the present invention, the polycrystalline TFT has the gate electrode consisting of the two layer structure, and the charge concentration of the polycrystalline silicon layer in the region just under the gate electrode is the intermediate concentration of the channel region and the source or drain region. Therefore, it is possible to obtain the liquid crystal display device comprising the TFT array substrate having a low resistance gate electrode, in which the drain leakage current is low, through a simple manufacturing process. Accordingly, it is possible to enhance production efficiency of the liquid crystal display device. Further, since the number of pixels is increased and the pixels can be operated at high speed, the liquid crystal display device of high image quality can be obtained.

[Brief Description of the Drawings]

[Fig. 1] A sectional view of a gate portion of a TFT used in a liquid crystal display device of this embodiment.

[Fig. 2] A sectional view of the TFT used in the liquid crystal display device of this embodiment.

[Fig. 3] A view showing the liquid crystal display device of this embodiment.

[Fig. 4] A view showing characteristics of the TFT used in the liquid

crystal display device of this embodiment.

[Description of Reference Numerals]

1 quartz substrate, 2 active layer, 3 gate oxide film,
4 lower layer film, 5 upper layer film, 6 projecting portion
7a portion with no gate, 7b portion just under projecting portion,
7c portion where a gate has a double structure, 8 first interlayer
insulating film, 9 metal wiring, 10 second interlayer insulating
film, 11 transparent electrode, 12 TFT array substrate, 13
opposing substrate, 14 liquid crystal, 15 outer assembly